

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of :
Young-Man AHN :
Serial No.: [NEW] : Mail Stop Patent Application
Filed: September 26, 2003 : Attorney Docket No. SEC.1078
For: LOW POWER FLIP-FLOP CIRCUIT

CLAIM OF PRIORITY

U.S. Patent and Trademark Office
2011 South Clark Place
Customer Window, Mail Stop Patent Application
Crystal Plaza Two, Lobby, Room 1B03
Arlington, VA 22202

Sir:

Applicant, in the above-identified application, hereby claims the priority date
under the International Convention of the following Korean application:

Appln. No. 10-2002-0064666 filed October 22, 2002

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

VOLENTINE FRANCOS, PLLC



Adam C. Volentine
Registration No. 33,289

12200 Sunrise Valley Drive, Suite 150
Reston, Virginia 20191
Tel. (703) 715-0870
Fax. (703) 715-0877

Date: September 26, 2003

대한민국 특허청

KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0064666
Application Number

출원년월일 : 2002년 10월 22일
Date of Application OCT 22, 2002

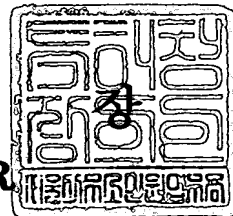
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 06 월 10 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2002.10.22
【발명의 명칭】	저전력 플립플롭 회로
【발명의 영문명칭】	LOW POWER FLIP-FLOP CIRCUIT
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박상수
【대리인코드】	9-1998-000642-5
【포괄위임등록번호】	2000-054081-9
【발명자】	
【성명의 국문표기】	안영만
【성명의 영문표기】	AHN, YOUNG MAN
【주민등록번호】	700815-1233221
【우편번호】	449-905
【주소】	경기도 용인시 기흥읍 상갈리 48번지 금화마을 주공그린빌 306동 801 호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박상수 (인)
【수수료】	
【기본출원료】	18 면 29,000 원
【가산출원료】	0 면 0 원
【우선권주장료】	0 건 0 원
【심사청구료】	4 항 237,000 원
【합계】	266,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 저전력 플립플롭 회로에 관한 것으로, 내부 클럭신호의 제어하에 입력신호를 수신하여 유지하는 래치와 입력신호와 래치의 출력신호를 비교하여 그 결과를 출력하는 비교회로와 비교회로의 출력신호의 제어하에 외부 클럭신호를 수신하여 내부 클럭신호를 발생시키는 내부클럭 발생회로를 구비하는 플립플롭 회로에 있어서, 내부클럭 발생회로는 비교회로의 출력신호를 이용하여 외부 클럭신호가 상기 내부클럭 발생회로로 들어오는 경로를 제어하고, 소정의 시간 지연되고 반전된 외부 클럭신호를 발생시키며 외부 클럭신호와 지연되고 반전된 외부 클럭신호를 비논리곱하여 외부 클럭신호의 펄스 폭보다 짧은 펄스 폭을 갖고 상승 에지와 하강 에지가 모두 외부 클럭신호에 동기된 내부 클럭신호를 발생시키는 것을 특징으로 한다.

본 발명에 따른 저전력 플립플롭 회로는 플립플롭의 입력신호에 변화가 없을 때에는 출력버퍼와 내부클럭 발생회로가 스위칭 동작을 하지 않기 때문에 소비전력이 적다.

【대표도】

도 4

【명세서】**【발명의 명칭】**

저전력 플립플롭 회로{LOW POWER FLIP-FLOP CIRCUIT}

【도면의 간단한 설명】

도 1은 일반적인 플립플롭 회로를 나타내는 도면이다.

도 2는 클럭버퍼에서 소모되는 전력을 줄일 수 있는 종래의 플립플롭 회로의 일 실시예를 나타내는 도면이다.

도 3은 클럭버퍼에서 소모되는 전력을 줄일 수 있는 종래의 플립플롭 회로의 다른 실시예를 나타내는 도면이다.

도 4는 클럭버퍼에서 소모되는 전력을 줄일 수 있는 본 발명의 일 실시예에 따른 플립플롭 회로를 나타내는 도면이다.

도 5는 도 4의 회로에 대한 타이밍도이다.

도 6은 도 1, 도 2, 도 3, 및 도 4에 도시된 플립플롭 회로에 대한 전력소모를 비교하기 위한 도면이다.

<도면의 주요부분에 대한 부호의 설명>

110, 210, 310, 410 : 클럭버퍼 220, 330, 430 : 비교회로

230 : 제어회로 240 : 펄스발생회로

340, 440 : 내부클럭 발생회로

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <11> 본 발명은 플립플롭 회로에 관한 것으로, 특히 전력소모를 줄일 수 있는 플립플롭 회로에 관한 것이다.
- <12> 일반적으로, 플립플롭(Flip-Flop)은 도 1에 도시된 바와 같이, 클럭버퍼(110), 마스터 래치 게이트(master latch gate)(120), 마스터 래치(master latch)(130), 슬레이브 래치 게이트(slave latch gate)(140), 및 슬레이브 래치(slave latch)(150)를 구비한다. 내부 클럭신호(CK)가 로우(low) 상태일 때, 마스터 래치 게이트(120)가 온 되어서 입력 신호(D)가 마스터 래치(130)로 전달되고, 슬레이브 래치 게이트(140)는 오프 상태이다. 내부 클럭신호(CK)가 하이(high) 상태로 되면, 마스터 래치 게이트(120)가 오프 되어서 입력 신호(D)는 마스터 래치(130)로 전달되지 않고, 슬레이브 래치 게이트(140)가 온 되어서 내부 클럭신호(CK)가 로우(low) 상태일 때 마스터 래치(130)에 전달되었던 입력 신호(D)가 슬레이브 래치(150)로 전달되고 슬레이브 래치(150)에 전달된 신호가 출력된다.
- <13> 그런데, 일반적인 플립플롭에서 입력 신호에 변화가 없을 경우, 즉 출력 신호와 입력 신호가 동일한 경우에, 플립플롭의 마스터 래치와 슬레이브 래치에서는 신호의 변화가 없기 때문에 스위칭에 의한 전력소모는 없다. 그러나, 입력 신호에 변화가 없을 경우에도, 외부 클럭신호를 수신하여 내부 클럭신호를 발생시키는 클럭버퍼는 동작을 하고, 따라서 클럭버퍼에서 스위칭에 의한 전력소모가 발생한다.

<14> 최근에, 클럭버퍼에서 발생하는 스위칭에 의한 전력소모를 줄이려는 노력이 시도되어 왔다. 도 2는 클럭버퍼에서 소모되는 전력을 줄일 수 있는 종래의 플립플롭 회로의 일실시예를 나타내는 도면으로서, 입력 신호에 변화가 없을 경우 클럭버퍼(210)에서 소모되는 전력을 줄이기 위해, 플립플롭 회로의 입력 신호(D)와 출력 신호(Q)를 비교하는 비교회로(220)와 외부 클럭신호에 동기하여 작은 펄스 폭을 갖는 내부 클럭신호를 발생시키는 펄스발생회로(240)와 비교회로(220)의 비교결과를 이용하여 펄스발생회로(240)의 출력신호(PGO)를 제어하는 제어회로(230)를 구비하고 있다. 입력 신호(D)에 변화가 없을 때, 제어회로(230)를 통해서 펄스발생회로(240)의 출력신호(PGO)가 클럭버퍼(210)로 전달되는 경로를 차단함으로써 플립플롭 회로의 전력소모를 줄인다. 그러나, 도 2에 도시된 플립플롭 회로는 입력신호를 클럭신호에 동기시켜서 출력신호를 발생시키는 회로 부분과는 별도로 펄스발생회로(240)가 필요하며 이 부분에서 많은 전력소모가 발생한다.

<15> 도 3은 클럭버퍼에서 소모되는 전력을 줄일 수 있는 종래의 플립플롭 회로의 다른 실시예를 나타내는 도면으로서, 미국 등록특허 제 6,204,707호에 개시되어 있다. 도 3에 도시된 종래의 플립플롭 회로는 비교회로(330)와 내부클럭 발생회로(340)를 구비하여, 입력신호(D)에 변화가 없을 때에만 외부 클럭신호(CLK)에 동기하여 작은 펄스 폭을 갖는 내부 클럭을 발생시킨다. 따라서, 도 3에 도시된 종래의 플립플롭 회로는 별도의 펄스발생회로를 사용하지 않으므로 도 2에 도시된 종래의 플립플롭 회로에서보다 더 전력소모를 줄일 수 있다. 내부클럭 발생회로(340)는 플립플롭의 입력신호(D)와 출력신호(Q)를 비교한 결과와 외부 클럭신호(CLK)를 비교하여 내부 클럭신호를 발생시키는 회로이다. 그런데, 도 3의 플립플롭 회로는 플립플롭 회로의 입력신호(D)와 출력신호(Q)의 비교결과에 의해 내부클럭 발생회로(340) 전체가 제어되지 않는다. 즉, AND 게이트(344)의

출력단자의 전압레벨은 외부 클럭신호(CLK)에 의해 변화하며 AND 게이트(344)의 동작에 의한 전력소모가 발생한다. 또한, 도 3의 플립플롭 회로에서 내부 클럭신호의 시작(파형의 상승 에지)은 외부 클럭신호에 동기되고, 내부 클럭신호의 끝(파형의 하강 에지)은 비교회로(330)의 출력에 동기한다. 그러므로, 도 3의 플립플롭 회로는 비교회로(340)의 동작상태에 따라 내부 클럭신호의 펄스 폭이 변화한다.

【발명이 이루고자 하는 기술적 과제】

<16> 상술한 바와 같은 문제점을 해결하기 위해 본 발명에서는 비교회로와 내부클럭 발생회로를 구비하고, 플립플롭의 입력신호에 변화가 없을 때에는 출력버퍼와 내부 클럭 발생회로가 동작하지 않도록 하여 플립플롭에서 소모되는 전력을 줄였다.

<17> 본 발명의 목적은 전력소모를 줄일 수 있는 플립플롭 회로를 제공하는 것이다.

【발명의 구성 및 작용】

<18> 본 발명에 따른 저전력 플립플롭 회로는 내부 클럭신호의 제어하에 입력신호를 수신하여 유지하는 래치와 상기 입력신호와 상기 래치의 출력신호를 비교하여 그 결과를 출력하는 비교회로와 상기 비교회로의 출력신호의 제어하에 외부 클럭신호를 수신하여 내부 클럭신호를 발생시키는 내부클럭 발생회로를 구비하는 플립플롭 회로에 있어서, 상기 내부클럭 발생회로는 상기 비교회로의 출력신호를 이용하여 상기 외부 클럭신호가 상기 내부클럭 발생회로로 들어오는 경로를 제어하고, 소

정의 시간 지연되고 반전된 외부 클럭신호를 발생시키며 상기 외부 클럭신호와 상기 지연되고 반전된 외부 클럭신호를 비논리곱(NAND)하여 상기 외부 클럭신호의 펄스 폭보다 짧은 펄스 폭을 갖고 상승 에지와 하강 에지가 모두 상기 외부 클럭신호에 동기된 내부 클럭신호를 발생시키는 것을 특징으로 한다.

<19> 본 발명에 따른 저전력 플립플롭 회로는 상기 내부클럭 발생회로는 제 1 노드에서 상기 비교회로의 출력신호를 수신하여 반전시키고 제 2 노드에 전달하는 제 1 인버터, 상기 제 1 노드에 연결된 제 1 입력단자와 상기 제 2 노드에 연결된 제 2 입력단자를 가지고 상기 외부 클럭신호를 수신하여 제 3 노드에 전달하는 전달 게이트, 전원전압에 연결된 소스 단자와 상기 제 2 노드에 연결된 게이트 단자와 상기 제 3 노드에 연결된 드레인 단자를 가지는 PMOS 트랜지스터, 상기 제 3 노드의 신호를 수신하여 소정의 시간 지연되고 반전된 외부 클럭신호를 출력하는 지연회로, 및 상기 외부 클럭신호와 상기 소정의 시간 지연되고 반전된 외부 클럭신호를 수신하고 비논리곱을 행하는 NAND 회로를 구비한다.

<20> 상기 지연회로는 홀수 개의 인버터로 구성된 것을 특징으로 한다.

<21> 상기 PMOS 트랜지스터는 상기 전달 게이트가 오프 되었을 때 상기 제 3 노드를 하 이 상태로 유지하는 기능을 하는 것을 특징으로 한다.

<22> 이하, 첨부된 도면을 참조하여 본 발명에 따른 저전력 플립플롭 회로에 대해 설명 한다.

<23> 도 4는 클럭버퍼에서 소모되는 전력을 줄일 수 있는 본 발명의 일실시예에 따른 플립플롭 회로를 나타내는 도면이다. 도 4의 플립플롭 회로는 입력신호(D)를

반전시켜 노드(N1)에 출력하는 인버터(INV33), 내부 클럭신호(CK)와 반전 내부 클럭신호(CKN)의 제어하에 노드(N1)의 신호를 수신하여 노드(N2)에 전달하는 래치 게이트(450), 내부 클럭신호(CK)와 반전 내부 클럭신호(CKN)의 제어하에 노드(N2)의 신호를 래치시키는 래치(420), 노드(N2)의 신호를 수신하여 반전시키고 플립플롭의 출력신호(Q)를 발생시키는 인버터(INV34), 노드(N1)의 신호와 래치(420)의 출력신호를 비교하여 그 결과를 노드(N6)에 출력하는 비교회로(430), 노드(N6)의 제어하에 외부 클럭신호(CLK)를 수신하고 반전 내부 클럭신호(CKN)를 발생시키는 내부클럭 발생회로(440), 및 반전 내부 클럭신호(CKN)를 수신하고 클럭신호(CK)를 발생시키는 클럭버퍼(410)를 구비한다.

<24> 래치 게이트(450)는 전달 게이트(TG20)로 구성되고, 클럭버퍼(410)는 인버터(INV32)로 구성된다.

<25> 래치(420)는 노드(N2)의 신호를 수신하여 반전시키고 노드(N3)에 출력하는 인버터(INV35), 노드(N3)의 신호를 수신하여 반전시키고 노드(N4)에 출력하는 인버터(INV36), 및 내부 클럭신호(CK)와 반전 내부 클럭신호(CKN)의 제어하에 노드(N4)의 신호를 수신하여 노드(N2)에 출력하는 전달 게이트(TG21)를 구비한다.

<26> 비교회로(430)는 노드(N1)의 신호를 수신하여 반전시키고 노드(N5)에 출력하는 인버터(INV37), 노드(N1)의 신호를 수신하는 제 1 입력단자와 노드(N5)의 신호를 수신하는 제 2 입력단자를 가지고 노드(N3)의 신호를 수신하고 노드(N6)에 전달하는 전달 게이트(TG23), 및 노드(N5)의 신호를 수신하는 제 1 입력단자와 노드(N1)의 신호를 수신하는 제 2 입력단자를 가지고 노드(N4)의 신호를 수신하고 노드(N6)에 전달하는 전달 게이트(TG22)를 구비한다.

<27> 내부클럭 발생회로(440)는 노드(N6)의 신호를 수신하여 반전시키고 노드(N7)에 전달하는 인버터(INV38), 노드 (N6)에 연결된 제 1 입력단자와 노드(N7)에 연결된 제 2 입력단자를 가지고 외부 클럭신호(CLK)를 수신하여 노드(N8)에 전달하는 전달 게이트(TG24), 전원전압(VDD)에 연결된 소스 단자와 노드(N7)에 연결된 게이트 단자와 노드(N8)에 연결된 드레인 단자를 가지는 PMOS(P-type Metal Oxide Semiconductor) 트랜지스터(MP1), 홀수개의 인버터들(INV39 내지 INV41)로 구성되고 노드(N8)의 신호를 수신하여 소정의 시간 지연되고 반전된 외부 클럭신호(CLKB)를 출력하는 지연회로(444), 및 외부 클럭신호(CLK)와 소정의 시간 지연되고 반전된 외부 클럭신호(CLKB)를 수신하고 비논리 곱을 행하는 NAND 회로(442)를 구비한다.

<28> 도 5는 도 4의 회로에 대한 타이밍도이다.

<29> 이하, 도 4와 도 5를 참조하여 본 발명에 따른 저전력 플립플롭 회로의 동작에 대해 설명한다.

<30> 내부 클럭신호(CK)가 하이(high) 상태일 때, 래치 게이트(450)는 온 되고 입력신호(D)가 반전된 신호인 노드(N1)의 신호가 래치(420)로 전달된다. 입력신호(D)가 하이 상태이면 노드(N1)와 노드(N2)의 신호는 로우(low) 상태가 되고 플립플롭의 출력신호(Q)는 하이 상태가 된다. 이 때, 노드(N3)의 신호는 플립플롭의 출력신호(Q)와 같은 상태인 하이 상태가 되고, 노드(N4)의 신호는 로우 상태가 된다. 내부 클럭신호(CK)가 하이 상태이므로 전달 게이트(TG21)는 오프 된다. PMOS 트랜지스터(MP1)는 전달 게이트(TG24)가 오프 되었을 때 노드(N8)를 하이 상태로 유지하는 기능을 한다.

<31> 만일 입력신호(D)가 변화하지 않고 하이 상태를 그대로 유지한다면, 전달 게이트(TG23)는 온 되고 전달 게이트(TG22)는 오프 된다. 이 때, 노드(N3)는 하이 상태이므로

전달 게이트(TG23)는 노드(N6)에 하이 상태를 출력한다. 노드(N7)는 로우 상태가 되므로 전달 게이트(TG24)는 오프되고 PMOS 트랜지스터(MP1)는 온 되어 노드(N8)는 하이 상태가 된다. 지연회로(444)의 출력인 지연된 외부 클럭신호(CLKB)는 로우 상태가 된다. 플립플롭의 입력신호(D)에 변화가 없으면 비교기(430)의 출력신호인 노드(N6)의 레벨은 항상 하이 상태를 유지하며, NAND 게이트(442)의 출력은 계속하여 하이 상태를 유지한다. 이 때, 반전 내부 클럭신호(CKN)는 하이 상태가 되고 내부 클럭신호(CK)는 로우 상태가 된다. 결국, 플립플롭의 입력신호(D)에 변화가 없으면 클럭버퍼(410)도 스위칭을 하지 않고, 내부클럭 발생회로(440)를 이루는 반도체 소자들도 스위칭을 하지 않는다. 따라서, 플립플롭의 입력신호(D)에 변화가 없을 경우에는 클럭버퍼(410)와 내부클럭 발생회로(440)에서 스위칭에 의한 전력소모는 거의 없게 된다.

<32> 만일 플립플롭의 입력신호(D)와 출력신호(Q)가 모두 하이(high)인 상태에서 입력신호(D)가 로우 상태로 바뀌면, 비교회로(430)의 전달 게이트(TG22)가 온 상태가 되고 전달 게이트(TG23)는 오프 상태가 된다. 래치(420)의 노드(N3)의 신호는 여전히 하이 상태이고 노드(N4)의 신호는 로우 상태이므로, 전달 게이트(TG22)는 로우 상태인 신호를 노드(N6)에 출력한다. 노드(N7)의 신호는 하이 상태가 되어 전달 게이트(TG24)는 온 되고 PMOS 트랜지스터(MP1)는 오프 된다. 따라서, NAND 게이트(442)에는 외부 클럭신호(CLK)와 지연회로(444)에 의해 소정의 시간 지연되고 반전된 외부 클럭신호(CLKB)가 인가된다. 이 때, 내부클럭 발생회로(440)의 출력신호는 외부 클럭신호(CLK)보다 짧은 펄스 폭을 가지는 펄스 신호가 된다. 외부 클럭신호(CLK)가 로우 상태에서 하이 상태로 바뀌는 순간 NAND 게이트(442)의 출력신호의 상승 에지가 형성되고, 지연회로(444)에 의한 지연시간 후 지연된 외부 클럭신호(CLKB)가 하이 상태에서 로우 상태로 바뀌는 순간 NAND 게이

트(442)의 출력신호의 하강 에지가 형성된다. NAND 게이트(442)의 출력신호는 반전 내부 클럭신호(CKN)가 되고 인버터(INV32)로 구성된 클럭버퍼(410)의 출력은 내부 클럭신호(CK)가 된다. 도 5의 타이밍도에는 내부 클럭신호가 발생하는 과정이 상세히 도시되어 있다.

<33> 상술한 바와 같이, 본 발명에 따른 저전력 플립플롭 회로에서는 내부 클럭신호(CK)의 상승 에지와 하강 에지가 모두 외부 클럭신호(CLK)에 동기된다.

<34> 표 1 은 도 1, 도 2, 도 3에 도시된 종래의 플립플롭 회로와 도 4에 도시된 본 발명에 따른 플립플롭 회로로 8 비트 카운트를 구성하여 각각의 비트에서 소비한 전력을 비교한 것이다. 측정조건은 외부 클럭신호의 주파수는 100MHz이고 전원전압은 3.3 V이다

<35> 도 6은 표 1에 있는 데이터를 그래프로 그린 도면이다. 표 1과 도 6으로부터 알 수 있듯이, 본 발명에 따른 저전력 플립플롭 회로는 입력신호의 변화가 적을 때 종래의 플립플롭 회로에 비해 전력소모가 현저히 감소하고 있음을 알 수 있다. 도 4의 실시예에서는 클럭신호에 대한 입력신호의 천이 비율이 0.53 이하인 경우에 전력소모가 크게 감소하고 있음을 알 수 있다.

<36> 【표 1】

	도 1의 회로	도 2의 회로	도 3의 회로	본 발명의 회로
1	158	269	233	214
1/2	111	156	128	107
1/4	88	100	81	55
1/8	76	71	57	28
1/16	70	56	44	14
1/32	68	49	39	8
1/64	66	46	35	4
1/128	65	44	34	2

<37> 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

【발명의 효과】

<38> 상술한 바와 같이, 본 발명에 따른 저전력 플립플롭 회로는 플립플롭의 입력신호에 변화가 없을 때에는 출력버퍼와 내부클럭 발생회로가 스위칭 동작을 하지 않기 때문에 소비전력이 적다.

【특허청구범위】

【청구항 1】

내부 클럭신호의 제어하에 입력신호를 수신하여 유지하는 래치와 상기 입력신호와 상기 래치의 출력신호를 비교하여 그 결과를 출력하는 비교회로와 상기 비교회로의 출력신호의 제어하에 외부 클럭신호를 수신하여 내부 클럭신호를 발생시키는 내부클럭 발생회로를 구비하는 플립플롭 회로에 있어서,

상기 내부클럭 발생회로는 상기 비교회로의 출력신호를 이용하여 상기 외부 클럭신호가 상기 내부클럭 발생회로로 들어오는 경로를 제어하고, 소정의 시간 지연되고 반전된 외부 클럭신호를 발생시키며 상기 외부 클럭신호와 상기 지연되고 반전된 외부 클럭신호를 비논리곱(NAND)하여 상기 외부 클럭신호의 펄스 폭보다 짧은 펄스 폭을 갖고 상승 에지와 하강 에지가 모두 상기 외부 클럭신호에 동기된 내부 클럭신호를 발생시키는 것을 특징으로 하는 저전력 플립플롭 회로.

【청구항 2】

제 1 항에 있어서, 상기 내부클럭 발생회로는

제 1 노드에서 상기 비교회로의 출력신호를 수신하여 반전시키고 제 2 노드에 전달하는 제 1 인버터;

상기 제 1 노드에 연결된 제 1 입력단자와 상기 제 2 노드에 연결된 제 2 입력단자를 가지고 상기 외부 클럭신호를 수신하여 제 3 노드에 전달하는 전달 게이트;

전원전압에 연결된 소스 단자와 상기 제 2 노드에 연결된 게이트 단자와 상기 제 3 노드에 연결된 드레인 단자를 가지는 PMOS 트랜지스터;

상기 제 3 노드의 신호를 수신하여 소정의 시간 지연되고 반전된 외부 클럭신호를 출력하는 지연회로; 및

상기 외부 클럭신호와 상기 소정의 시간 지연되고 반전된 외부 클럭신호를 수신하고 비논리곱을 행하는 NAND 회로를 구비하는 것을 특징으로 하는 저전력 플립플롭 회로.

【청구항 3】

제 2 항에 있어서, 상기 지연회로는

홀수 개의 인버터로 구성된 것을 특징으로 하는 저전력 플립플롭 회로.

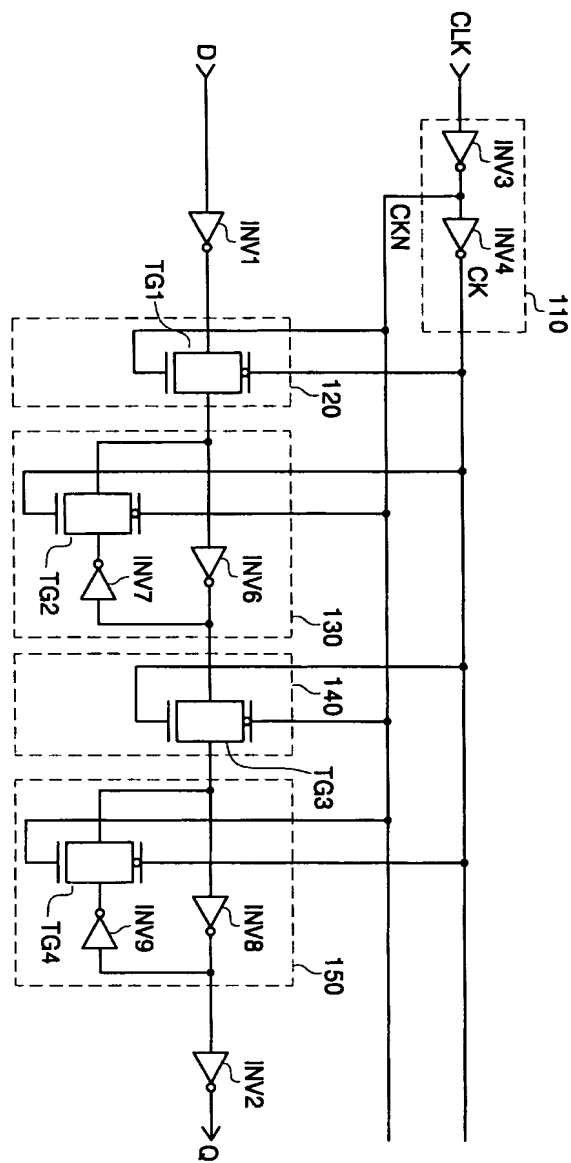
【청구항 4】

제 2 항에 있어서, 상기 PMOS 트랜지스터는

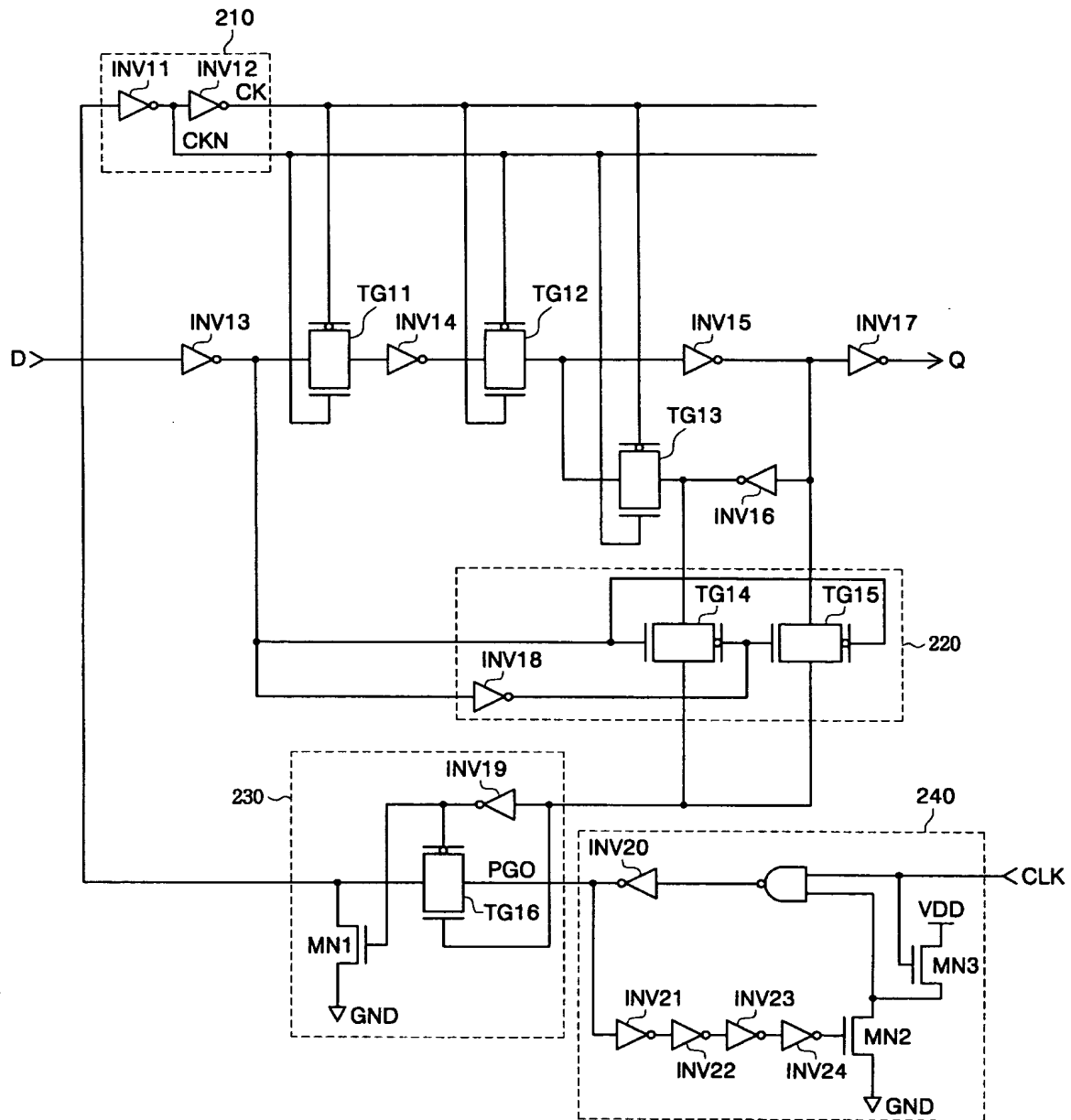
상기 전달 게이트가 오프 되었을 때 상기 제 3 노드를 하이 상태로 유지하는 기능을 하는 것을 특징으로 하는 저전력 플립플롭 회로.

【도면】

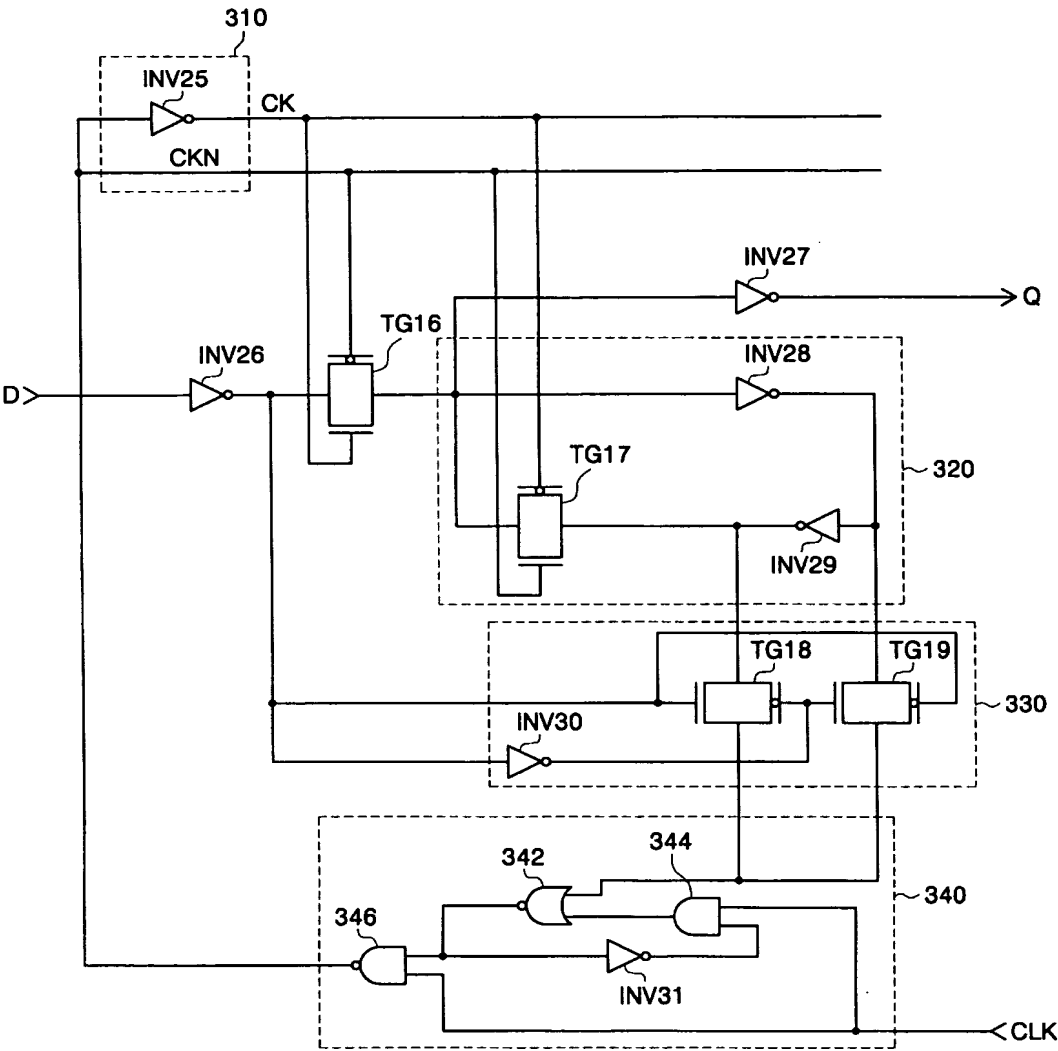
【도 1】



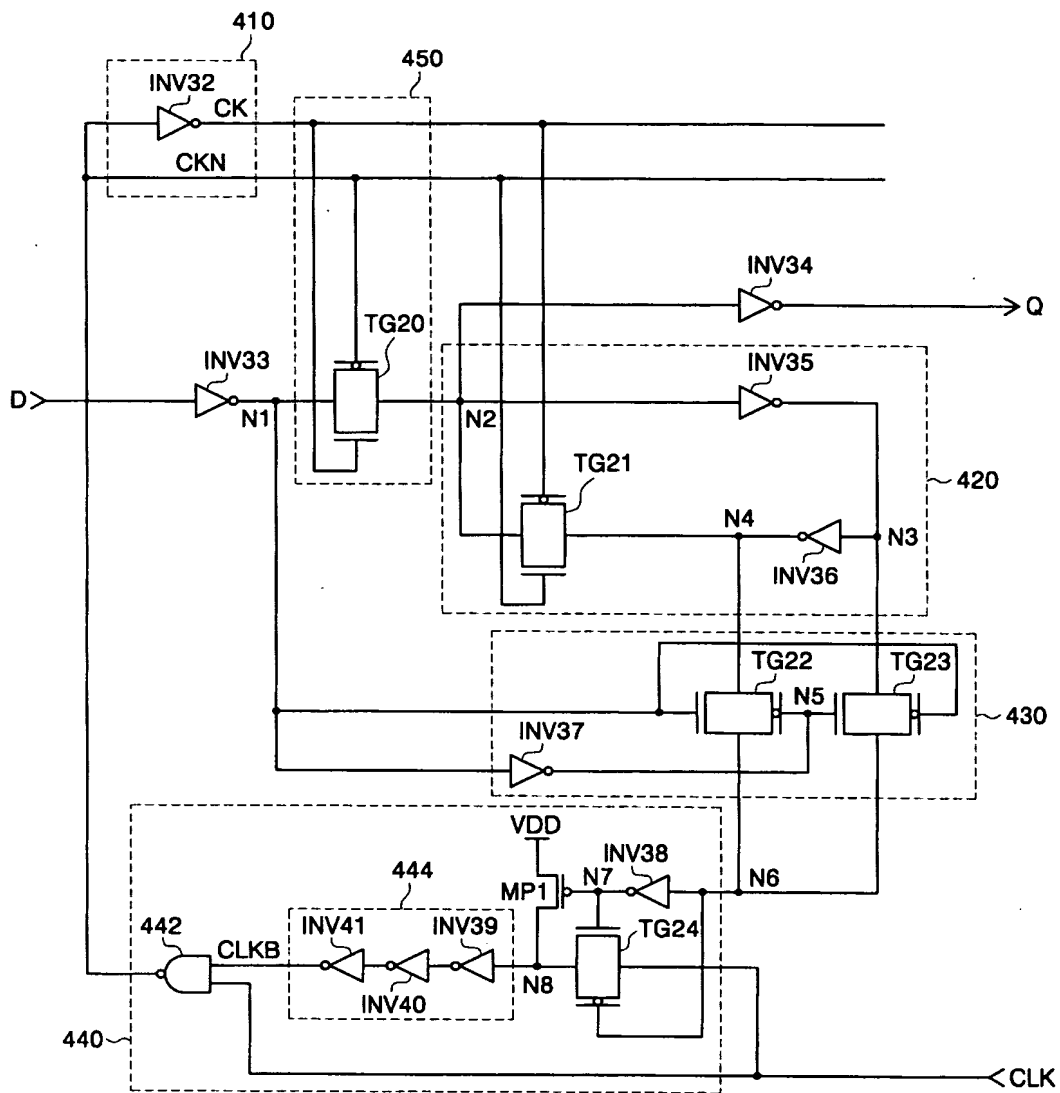
【도 2】



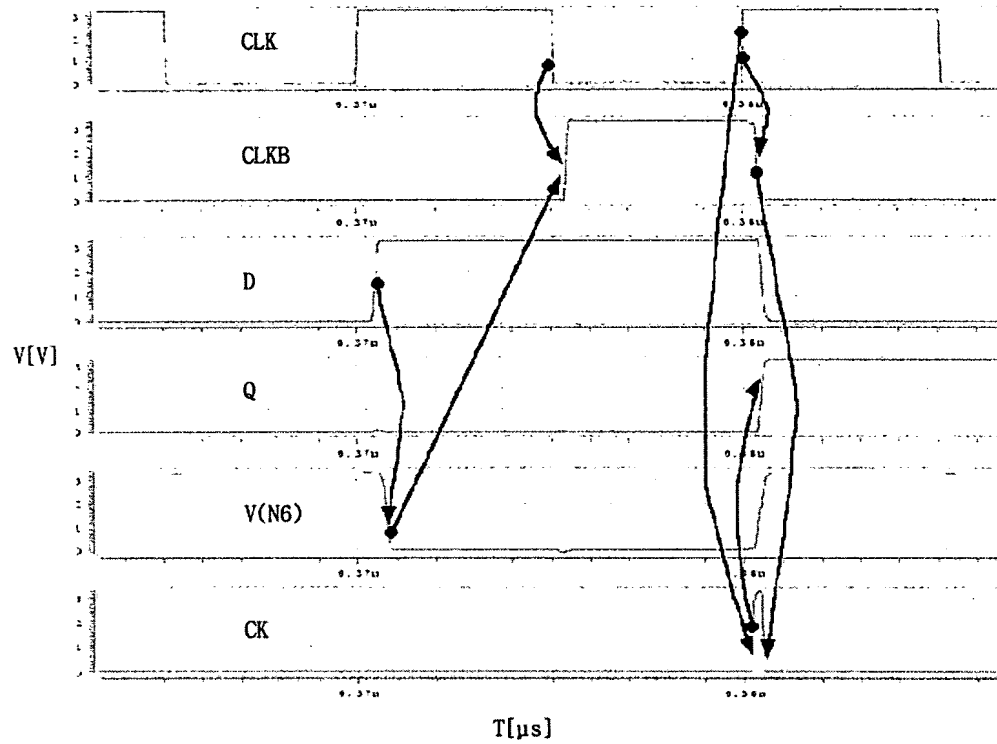
【도 3】



【도 4】



【도 5】



【도 6】

